

## ⑫ 公開特許公報(A)

平1-200720

⑤Int.Cl.<sup>4</sup>  
H 03 K 23/46

識別記号

庁内整理番号  
6832-5 J

④③公開 平成1年(1989)8月11日

審査請求 未請求 請求項の数 1 (全6頁)

⑤④発明の名称 アナログカウンタ回路

②①特 願 昭63-25272

②②出 願 昭63(1988)2月4日

⑦②発 明 者 小 泉 雄 二 東京都港区芝5丁目33番1号 日本電気株式会社内

⑦①出 願 人 日本電気株式会社 東京都港区芝5丁目33番1号

⑦④代 理 人 弁理士 内 原 晋

## 明 細 書

## 1. 発明の名称

アナログカウンタ回路

## 2. 特許請求の範囲

第1のキャパシタの一端が第1のMOSトランジスタのソースとゲートとに接続され、前記第1のキャパシタの他端が互いに180度の位相差を有する第1および第2のクロックのうちいずれが一方に接続され、第2のMOSトランジスタのドレインが前記第1のMOSトランジスタのソースとゲートとに接続され、前記第2のMOSトランジスタのソースが第2の電源線に接続される複数個の部分回路により構成され、前記部分回路を構成する前記第1のMOSトランジスタのソースとゲートとが前段の部分回路のMOSトランジスタのドレインに接続され、前記第1のMOSトランジスタのドレインが次段のMOSトランジスタのソースとゲートとに接続され、縦続接続された前記部

分回路に対し、その順序に従って前記第1および第2のクロック信号が交互に供給され、ソースとゲートとをあらかじめ定められた電圧源に接続した少なくとも1個の第3のMOSトランジスタのドレインが初段の部分回路の第1のMOSトランジスタのソースとゲートとに接続され、最後の段の部分回路の第1のMOSトランジスタのドレインは第2のキャパシタの一方と電圧比較器の入力と第4のMOSトランジスタのドレインとにそれぞれ接続され、前記第2のキャパシタの他方と前記第4のMOSトランジスタとが前記第2の電源線のノイズに接続され、前記電圧比較器の出力が出力端子と前記論理和回路の入力とに接続され、入力端からの入力信号と前記電圧比較器の出力とを入力した前記論理和回路の出力は前記第4のMOSトランジスタのゲートと複数個の前記部分回路の第2のMOSトランジスタのゲートとに接続されることを特徴とするアナログカウンタ回路。

## 3. 発明の詳細な説明

〔産業上の利用分野〕

本発明はアナログカウンタ回路に関する。

〔従来の技術〕

従来この種のカウンタ回路は非同期式のデジタルカウンタを使用し、前段のフリップフロップの出力端子を次の段のフリップフロップのクロック端子に接続して使用していた。使用するフリップフロップによりアップカウンタとダウンカウンタを構成することができ、フリップフロップの出力の反転論理積を得てその出力をリセット端子に接続することにより、何周期でパルスを出力するかを指定することができた。

〔発明が解決しようとする問題点〕

上述した従来のデジタルカウンタはフリップフロップの接続で構成されており、パルスの立ち上がり及びパルスの立ち下がりラッチしてカウントを行なっていた。カウントできる最大パルス数を $m$ 、フリップフロップ数を $N$ とすれば、カウントできる最大パルス数は(1)の式で得られる。

$$m = 2^n \dots \dots \dots (1)$$

— 3 —

のキャパシタの他端が互いに180度の位相差を有する第1および第2のクロックのうちいずれか一方に接続され、第2のMOSトランジスタのドレインが前記第1のMOSトランジスタのソースとゲートとに接続され、前記第2のMOSトランジスタのソースが第2の電源線に接続される複数個の部分回路により構成され、前記部分回路を構成する前記第1のMOSトランジスタのソースとゲートとが前段の部分回路のMOSトランジスタのドレインに接続され、前記第1のMOSトランジスタのドレインが次段のMOSトランジスタのソースとゲートとに接続され、縦続接続された前記部分回路に対し、その順序に従って前記第1および第2のクロック信号が交互に供給され、ソースとゲートとをあらかじめ定められた電圧源に接続した少なくとも1個の第3のMOSトランジスタのドレインが初段の部分回路の第1のMOSトランジスタのソースとゲートとに接続され、最後の段の部分回路の第1のMOSトランジスタのドレインは第2のキャパシタの一方と電圧比較器の入力

— 5 —

従って、カウントする数が多い時に回路素子が多くなるという欠点がある。また、カウントする数を変える場合は各フリップフロップの出力端子をセレクト回路に接続し、セレクト回路でカウントする数を選択する回路構成となっていたため、少ない回路素子でカウントする数を容易に変えることができないという欠点もある。

本発明の目的は、少ない回路素子でカウンタを構成したい場合で、しかもカウントする数を容易に変化させたい場合に適した回路を提供することにある。

従って本発明は、上述した従来のフリップフロップの接続で構成されたデジタルカウンタに対し、電圧変換回路と電圧比較器との接続により構成され、少ない回路素子でカウントを構成することができ、しかもカウントする数を容易に変化させることができるという相違点を有する。

〔問題点を解決するための手段〕

第1のキャパシタの一端が第1のMOSトランジスタのソースとゲートとに接続され、前記第1

— 4 —

と第4のMOSトランジスタのドレインとにそれぞれ接続され、前記第2のキャパシタの他端と前記第4のMOSトランジスタのソースとが前記第2の電源線に接続され、前記電圧比較器の出力が出力端子と前記論理和回路の入力とに接続され、入力端からの入力信号と前記電圧比較器の出力とを入力した前記論理和回路の出力は前記第4のMOSトランジスタのゲートと複数個の前記部分回路の第2のMOSトランジスタのゲートとに接続して構成される。

〔実施例〕

次に、本発明の実施例について図面を参照して説明する。

第1図は本発明の第一の実施例の構成を示す回路図、第2図は第1図の部分回路の構成を示す回路図である。

本発明の回路は昇圧回路部と電圧比較部とから構成され、昇圧回路部は1個のキャパシタと2個のNチャネルMOSトランジスタからなる6段の部分回路の縦続接続回路を備えている。

— 6 —

第2図を見るに、キャパシタC1の一端がNチャネルMOSトランジスタM1のソースとゲートとに接続され、キャパシタC1の他端が互いに180度の位相差を有するクロック $\phi_1$ ・ $\phi_2$ のいずれか一方に接続されている。また、NチャネルMOSトランジスタM7のドレインがNチャネルMOSトランジスタM1のソースとゲートとに接続され、NチャネルMOSトランジスタM7のソースが接地端子GNDに接続される部分回路が構成されている。

第2図の部分回路を構成するNチャネルMOSトランジスタM1のソースとゲートとが前段の部分回路のNチャネルMOSトランジスタのドレインに接続され、NチャネルMOSトランジスタM1のドレインが次段のMOSトランジスタのソースとゲートとに接続され、クロック $\phi_1$ ・ $\phi_2$ の接続順序については部分回路の奇数<sup>番</sup>目がクロック $\phi_1$ に偶数番目がクロック $\phi_2$ に接続されている。NチャネルMOSトランジスタM7のゲートが本アナログカウンタ回路の出力端子に接続される帰還端<sup>(RTNである。)</sup>

— 7 —

ウにしてカウンタをオン状態に保ち、クロック $\phi_1$ がハイレベルからロウレベルに、クロック $\phi_2$ がロウレベルからハイレベルに変化すると、初段の部分回路のMOSトランジスタM1のソースとゲートとの接続点の電位がおし下げられ、ドレインの電位はおし上げられて、NチャネルMOSトランジスタM1<sup>は</sup>非導通になるとともに、NチャネルMOSトランジスタM0は導通し、電荷がNチャネルMOSトランジスタM0を介して電源V1からキャパシタC1に充電される。つぎにクロック $\phi_1$ がロウレベルからハイレベルに、クロック $\phi_2$ がハイレベルからロウレベルになると、NチャネルMOSトランジスタM0・M2は非導通になりNチャネルMOSトランジスタM1は導通し、キャパシタC2はキャパシタC1の電荷によって充電される。この動作をくり返して次々に電荷は移送されて最後にキャパシタC7を充電して、電圧比較器Aの正の入力電位は上昇する。

このようにクロック $\phi_1$ ・ $\phi_2$ を動作させることにより、電源および回路が形成されている半導体基

— 9 —

~~RTNである。~~第1図を見るに初段の部分回路のNチャネルMOSトランジスタM1のソースとゲートとがNチャネルMOSトランジスタM0のドレインに接続され、NチャネルMOSトランジスタM0のソースとゲートとが電源端子V1に接続されている。最後の段の部分回路のNチャネルMOSトランジスタM6のドレインは、キャパシタC7の一方と電圧比較器Aの入力とNチャネルMOSトランジスタM13のドレイン<sup>と</sup>にそれぞれ接続され、キャパシタC7の他方とNチャネルMOSトランジスタのM13のソースとが接地端子GNDに接続されている。電圧比較器Aの出力が本アナログカウンタ回路の出力OUTに接続され、電圧比較器Aの出力と本アナログカウンタ回路の入力端子Eとが論理和回路Dの入力側に接続され、論理和回路Dの出力端子がNチャネルMOSトランジスタM7~M13のゲートに接続されている。

次に第一の実施例の動作を説明する。

入力端子<sup>を</sup>ロウにするとカウンタが動作し、ハイにするとカウンタの動作が止まる。入力端子をロ

— 8 —

板から電荷を吸い上げ電圧比較器Aに高電圧を発生させ、電圧比較器Aの正の入力端子の電圧が、(電圧比較器Aの負の入力端子に印加されている)基準電圧源V2以上の電圧に達すると、電圧比較器Aが動作し電圧比較器Aの出力がロウレベルからハイレベルに変化する。その結果NチャネルMOSトランジスタM7~M13が導通状態になりキャパシタC1~C7に充電された電荷が放電され電圧比較器Aの出力端子がハイレベルからロウレベルに変化し、クロックをカウントすることができ。

以上NチャネルMOSトランジスタで説明を行ったが、電源および入出力の極性を反転させることによりPチャネルMOSトランジスタでも構成することができる。

第3図は本発明の第2の実施例の構成を示す回路図である。

第2の実施例は、初期電位設定トランジスタM0のドレインにNチャネルMOSトランジスタM14・M15のドレインが接続され、NチャネルMOS

— 10 —

トランジスタM14のソースが第2の電源端子V3に接続され、NチャネルMOSトランジスタM15のソースが第3の電源端子V4に接続され、NチャネルMOSトランジスタM0・M14・M15のゲートがセクタBの出力に接続され、セクタBのセレクト端子Cのある点が第1の実施例と異った構成をもつものである。

この回路において、セレクト端子Cの入力によってNチャネルMOSトランジスタM0・M14・M15のいずれかのトランジスタが選択される。そして、電源端子V1・V3・V4のいずれかの電圧からNチャネルMOSトランジスタのスレッシュホールド電圧だけ電圧降下した電圧がNチャネルMOSトランジスタM1のソースとゲートとに加わることにより、カウントするパルスの数を容易に変えることができるという利点がある。

#### 〔発明の効果〕

以上説明したように本発明は、本アナログカウンタ回路を用いることにより、少ない回路素子で多くのパルスをカウントすることができるという

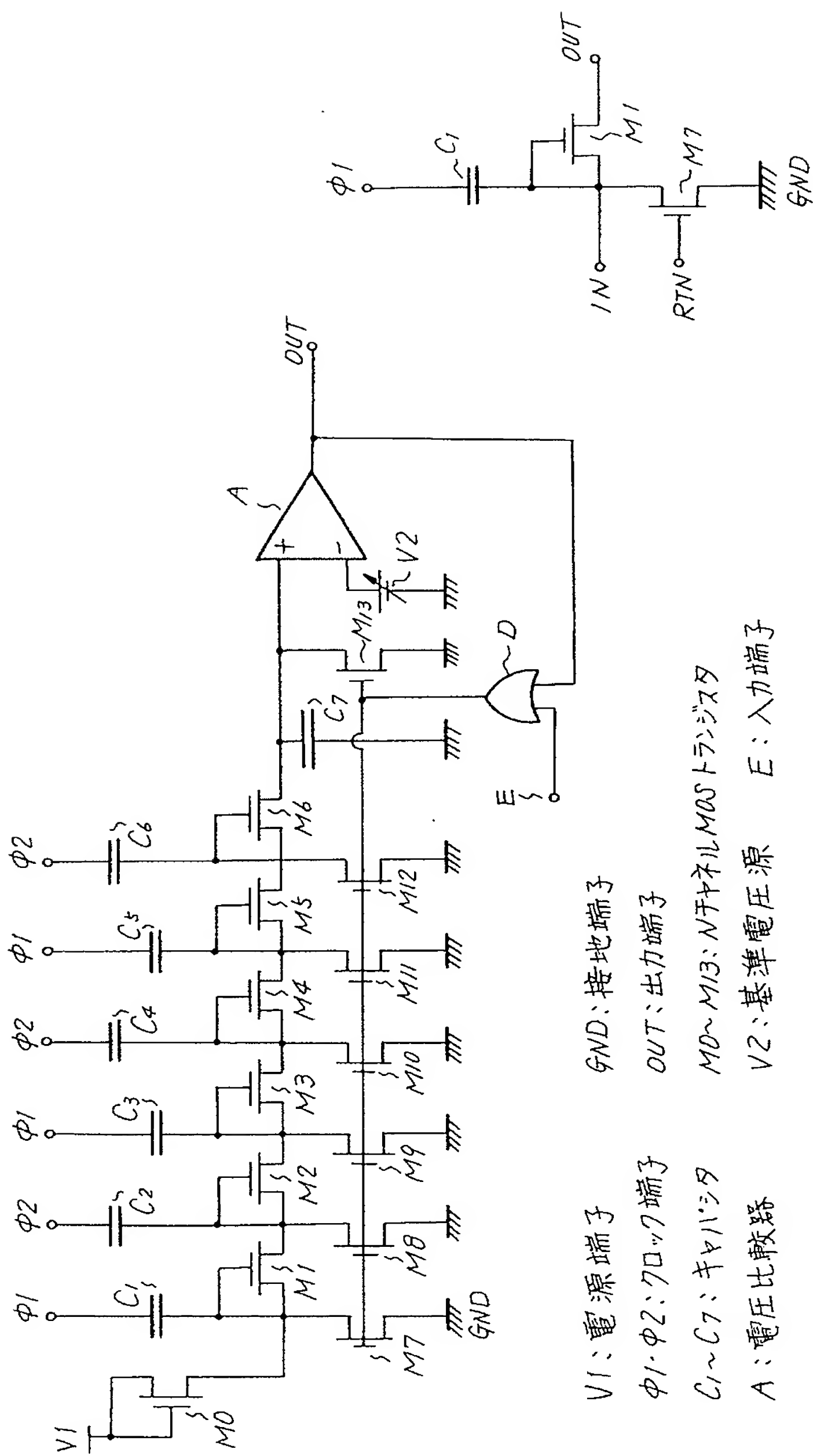
効果があり、電圧比較器の基準電圧を変化させることにより容易に変化させることができるという効果がある。

#### 4. 図面の簡単な説明

第1図は本発明の第一の実施例の構成を示す回路図、第2図は第1図の部分回路の構成を示す回路図、第3図は本発明の第二の実施例の構成を示す回路図。

V1・V3・V4 ……電源端子、V2 ……基準電圧源、 $\phi$ ・ $\phi_1$ ・ $\phi_2$  ……クロック端子、C<sub>1</sub>～C<sub>7</sub> ……キャパシタ、M0～M15 ……NチャネルMOSトランジスタ、A ……電圧比較器、B ……セクタ、C ……セレクト端子、D ……論理和回路、E ……入力端子、RTN ……帰還端子。

代理人 弁理士 内 原 晋



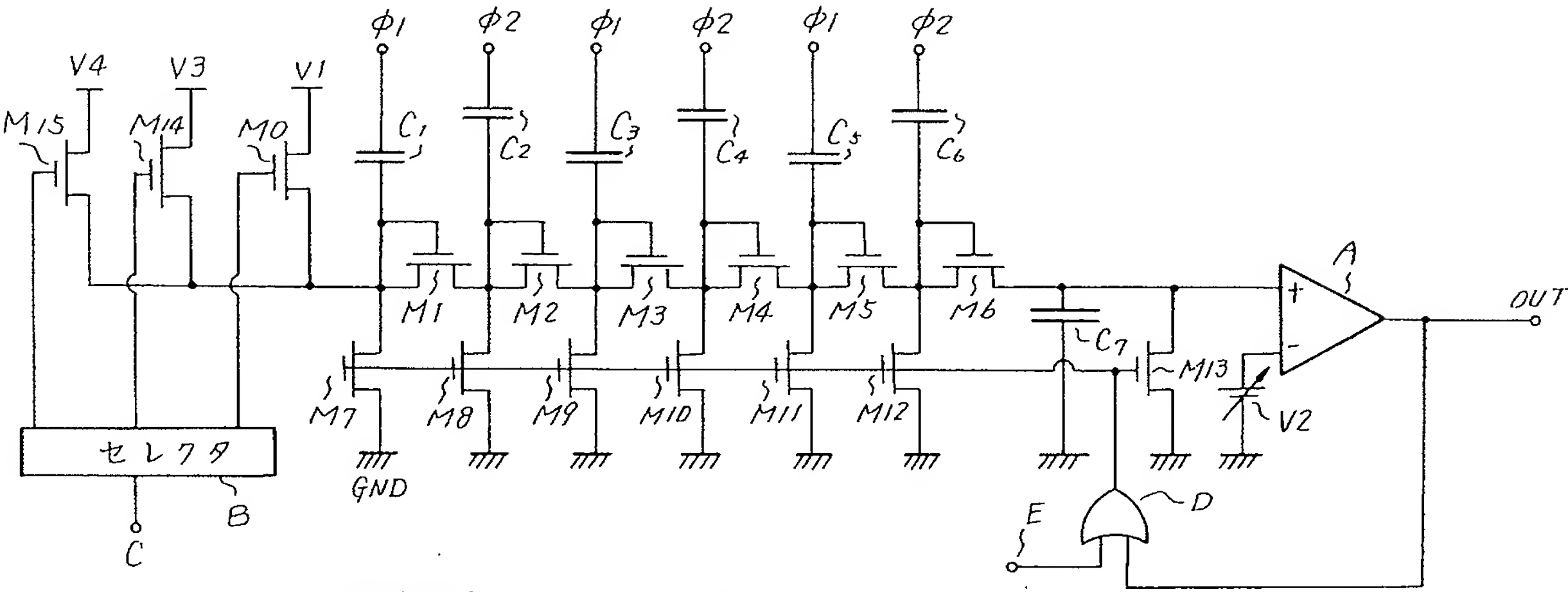
V1:電源端子  
φ1・φ2:クロック端子  
C1~C7:キャパシタ  
A:電圧比較器

GND:接地端子  
OUT:出力端子  
M10~M13:NチャネルMOSトランジスタ  
V2:基準電圧源 E:入力端子

第 1 図

φ1:クロック端子 C1:キャパシタ  
M1・M7:NチャネルMOSトランジスタ  
GND:接地端子 RTN:出力帰還端子  
IN:入力端子 OUT:出力端子

第 2 図



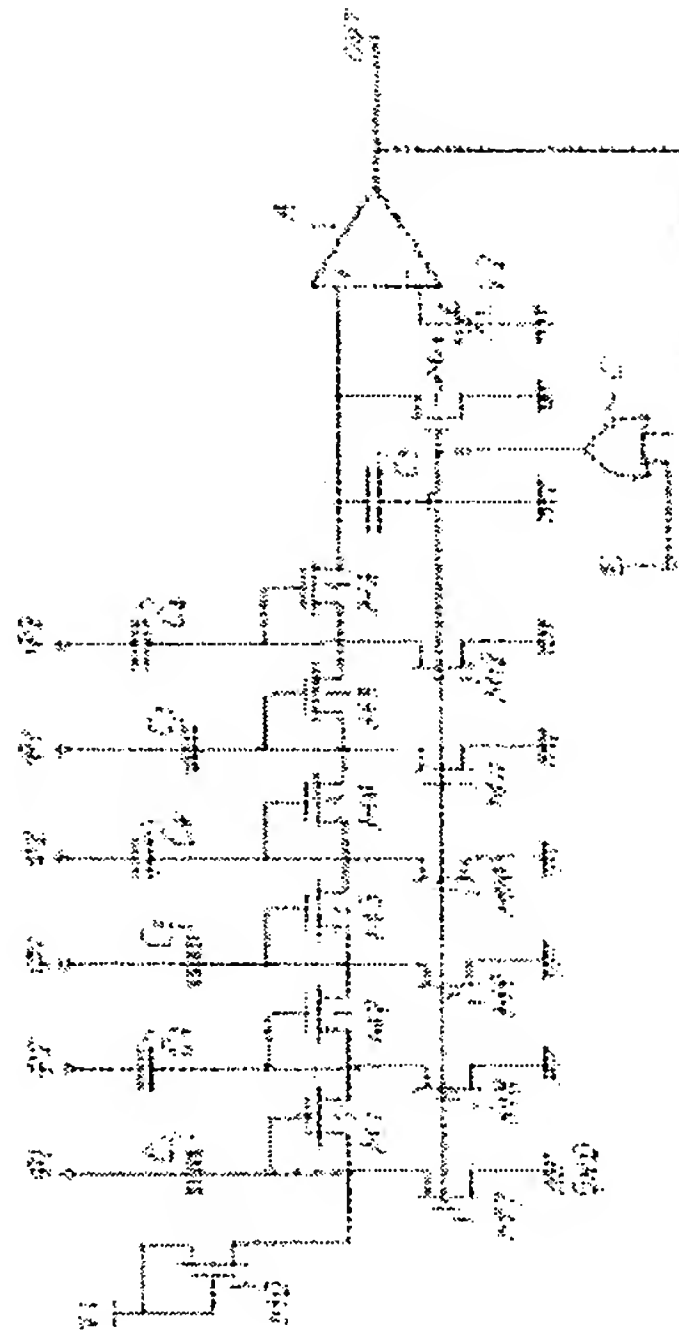
VI・V3・V4: 電源端子  
phi1・phi2: クロック端子  
C1~C7: キャパシタ  
A: 電圧比較器  
GND: 接地端子  
OUT: 出力端子  
E: 入力端子  
M0~M15: NチャネルMOSトランジスタ  
V2: 基準電圧源  
C: セレクト端子

第3図



## Abstract of JP 1200720 (A)

**PURPOSE:** To count lots of pulses with a few circuit components and to easily vary the count by forming the analog counter circuit through the connection of a voltage conversion circuit and a voltage comparator. **CONSTITUTION:** With an input terminal kept at L level to keep the counter in the ON state, when a clock phi1 changes from H to L and a clock phi2 changes from L to H, a potential of a connecting point between a source and a gate of a MOS transistor (TR) M1 rises, the drain potential is decreased, the TR M1 is turned off, a TR M0 turns on, and the charge is charged in a capacitor C1 from the power supply V1. If the level of the clocks phi1, phi2 changes opposite, the TRs M0:M2 are turned off and the TR M1 is turned on to charge a capacitor C2 by the charge of the C1.; The electric charge is transferred one after another through the repetition of the processing above to charge up a capacitor C7, resulting in increasing the noninverting input level of a voltage comparator A. When the level reaches a reference voltage V2 or over, the comparator A is operative and its output level changes from L to H. As a result, TRs M7-M13 are turned on, the electric charge charged in the capacitors C1-C7 is discharged, the level of the output terminal of the comparator A changes from H to L thereby enabling itself to count clocks.



Data supplied from the **espacenet** database — Worldwide